

EQUIVALENT INPUT LEVEL LOGIC CIRCUIT

Patent Number: JP5343984
Publication date: 1993-12-24
Inventor(s): KUROKI RYUTA
Applicant(s): OKI MICRO DESIGN MIYAZAKI:KK; others: 01
Requested Patent: JP5343984
Application Number: JP19920145187 19920605
Priority Number(s):
IPC Classification: H03K19/20; H03K19/0948; H03K19/21
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain a logic circuit from which both of NOR and NAND logic outputs without dispersion among plural input signals without increasing number of components are obtained with one logic circuit.
CONSTITUTION:With input signals Si1-Sin all set to an L level, PMOS 11-1-11-n are turned on and NMOS 12-1-12-n are turned off. In this case, a PMOS 13 is turned on and an H level is outputted from an output node N12. With the input signals Si1-Sin all set to an H level, the PMOS 11-1-11-n are turned off and the NMOS 12-1-12-n are turned on. In this case, the PMOS 13 is turned on and an L level is outputted from an output node N11. Thus, with the input signals Si1-Sin all set to an H level, an L NAND output is obtained from the node N11 and with the input signals Si1-Sin all set to an L level, an H NOR output is obtained from the node N12.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-343984

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl. ⁵ H 03K 19/20 19/0948 19/21	識別記号 7827-5J 7827-5J 8941-5J	府内整理番号 F I H 03K 19/094	技術表示箇所 B
---	---------------------------------------	-------------------------------	-------------

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平4-145187	(71)出願人 591049893 株式会社沖マイクロデザイン宮崎 宮崎県宮崎市大和町9番2号
(22)出願日 平成4年(1992)6月5日	(71)出願人 000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

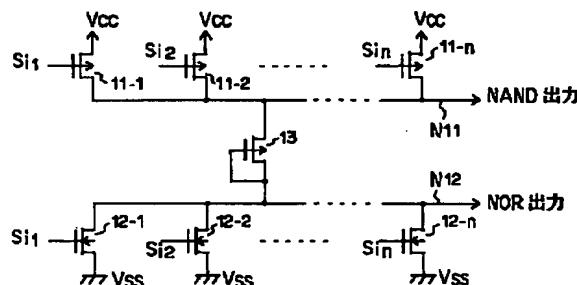
(72)発明者
黒木 龍太
宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内
(74)代理人
弁理士 柿本 恭成

(54)【発明の名称】 等価入力レベル論理回路

(57)【要約】

【目的】 素子数を増加させることなく、1個の論理回路で、複数の入力信号間のばらつきのない、NOR及びNANDの両方の論理出力が得られる論理回路を提供する。

【構成】 入力信号 $S_{i1} \sim S_{in}$ が全て “L” のとき、PMOS $11-1 \sim 11-n$ がオン、NMOS $12-1 \sim 12-n$ がオフする。このとき、PMOS 13 がオンし、出力ノード $N11$ から “H” が出力される。 $S_{i1} \sim S_{in}$ が全て “H” のとき、PMOS $11-1 \sim 11-n$ がオフ、NMOS $12-1 \sim 12-n$ がオンする。このとき、PMOS 13 がオフし、出力ノード $N11$ から “L” が出力される。従って、 $S_{i1} \sim S_{in}$ が全て “H” のとき、 $N11$ から “L” のNAND出力が出され、 $S_{i1} \sim S_{in}$ が全て “L” のとき、 $N12$ から “H” のNOR出力が出る。



本発明の第1の実施例の論理回路

1

【特許請求の範囲】

【請求項1】 第1の電源電位と第1の出力ノード間に並列接続され、入力によってゲート制御されるn個（但し、n；2以上の整数）のPチャネル型MOSトランジスタと、

第2の出力ノードと第2の電源電位間に並列接続され、前記入力によってゲート制御されるn個のNチャネル型MOSトランジスタと、

ソースが前記第1の出力ノードに、ドレイン及びゲートが前記第2の出力ノードにそれぞれ接続されたPチャネル型MOSトランジスタとで、

構成された等価入力レベル論理回路。

【請求項2】 第1の電源電位と第1の出力ノード間に並列接続され、入力によってゲート制御されるn個（但し、n；2以上の整数）のPチャネル型MOSトランジスタと、

第2の出力ノードと第2の電源電位間に並列接続され、前記入力によってゲート制御されるn個のNチャネル型MOSトランジスタと、

ドレイン及びゲートが前記第1の出力ノードに、ソースが前記第2の出力ノードにそれぞれ接続されたNチャネル型MOSトランジスタとで、

構成された等価入力レベル論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路等の NAND（NAND）とノア（NOR）、及びその両方の出力を持つ等価入力レベル論理回路に関するものである。

【0002】

【従来の技術】 従来、この種の論理回路としては、例えば特開昭61-234623号公報（文献1）、及び特開平1-147917号公報（文献2）等に記載されるものがあった。以下、その構成を図を用いて説明する。

【0003】 図2は、前記文献2に記載された従来の論理回路の回路図である。この論理回路は、電源電位Vccと出力信号So用の出力端子1との間に、n個のPチャネル型MOSトランジスタ（以下、PMOSという）2-1～2-nが直列に接続され、さらにその出力端子1と接地電位Vssとの間に、n個のNチャネル型MOSトランジスタ（以下、NMOSという）3-1～3-nが直列に接続されている。各PMOS 2-1～2-n、及びNMOS 3-1～3-nのゲートには、n個の入力信号Si1～Si nがそれぞれ入力される。電源電位VccとノードN1との間には、n個のPMOS 4-1～4-nが並列に接続され、さらにそのノードN1と出力端子1との間に、PMOS 5が接続されている。接地電位VssとノードN2との間には、n個のNMOS 6-1～6-nが並列に接続され、さらにそのノードN2と出力端子1との間に、NMOS 7が接続されている。各PMOS 4-1～4-n及びNMOS 6-1～6-

10

20

30

40

50

2

-nのゲートには、n個の入力信号Si1～Si nがそれぞれ入力され、さらにPMOS 5及びNMOS 7のゲートには、切換信号φが入力される構成になっている。

【0004】 次に、動作を説明する。まず、切換信号φが“L”的ときは、PMOS 5がオンし、NMOS 7がオフする。このとき、入力信号Si1～Si nが全て“H”であれば、PMOS 4-1～4-n及びPMOS 2-1～2-nが全てオフすると共に、NMOS 3-1～3-nが全てオンし、出力信号Soが“L”（=Vss）となる。また、入力信号Si1～Si nのうちの1つ以上が“L”であれば、PMOS 4-1～4-nのうちの入力信号“L”に対応するPMOSがオンすると共に、NMOS 3-1～3-nのうちの入力信号“L”に対応するNMOSがオフし、出力信号Soが“H”（=Vcc）となる。従って、この論理回路は切換信号φが“L”的ときに、n入力のNAND回路となる。

【0005】 次に、切換信号φが“H”的ときは、PMOS 5がオフすると共にNMOS 7がオンする。このとき、入力信号Si1～Si nが全て“L”であれば、NMOS 6-1～6-n及びNMOS 3-1～3-nが全てオフすると共に、PMOS 2-1～2-nが全てオンするため、出力信号Soが“H”となる。また、入力信号Si1～Si nのうちの1つ以上が“H”であれば、NMOS 6-1～6-nのうちの“H”的入力信号に対応するNMOSがオンすると共に、PMOS 2-1～2-nのうちの“H”的入力信号に対応するPMOSがオフするため、出力信号Soが“L”となる。従って、この論理回路は切換信号φが“H”的ときに、n入力のNOR回路となる。このように図2の論理回路では、切換信号φが“L”的ときにn入力のNAND回路として、切換信号φが“H”的ときにn入力のNOR回路としてそれぞれ動作する。また、前記文献1に記載された論理回路も、回路構成が異なるが、切換信号φを“L”または“H”に変化させることにより、出力信号の論理をNORまたはNANDに切換えることができる。

【0006】

【発明が解決しようとする課題】 しかしながら、従来の論理回路では、出力信号がNOR論理またはNAND論理のいずれか一方のみであり、1個の論理回路で同時に両方の論理を出力することができなかった。また、PMOS 2-1～2-n、及びNMOS 3-1～3-nのように、回路構成上、トランジスタが直列接続されている部分があるため、各入力信号Si1～Si n間で遅延時間等の特性のばらつきが生じ、論理動作の信頼性が低下するという問題があった。本発明は、前記従来技術が持っていた課題として、素子数を増加させることなく、1個の論理回路でNOR及びNANDの両方の論理出力を得ることが困難な点と、各入力信号間でばらつきが生じる点について解決した等価入力レベル論理回路を提供するものである。

【0007】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、NORおよびNANDの論理出力を得る等価入力レベル論理回路において、第1の電源電位と第1の出力ノード間に並列接続され、入力によってゲート制御されるn個（但し、n；2以上の整数）のPMOSと、第2の出力ノードと第2の電源電位間に並列接続され、前記入力によってゲート制御されるn個のNMOSと、ソースが前記第1の出力ノードに、ドレイン及びゲートが前記第2の出力ノードにそれぞれ接続されたPMOSとで、構成している。第2の発明では、第1の発明の第1と第2の出力ノード間に接続されるPMOSに代えて、ドレイン及びゲートが第1の出力ノードに、ソースが第2の出力ノードにそれぞれ接続されたNMOSを設けている。

【0008】

【作用】第1の発明によれば、以上のように等価入力レベル論理回路を構成したので、n個の入力信号が全て同一レベルのときにはPMOS群またはNMOS群のいずれか一方がオン状態、他方がオフ状態となり、PMOSを介して第1と第2の出力ノード間が導通し、第1、第2の出力ノードのいずれか一方からNAND出力、他方からNOR出力が出る。それぞれ並列接続されたPMOS群及びNMOS群は、入力信号間のばらつきを防止して的確な論理動作を行う。第2の発明によれば、第1と第2の出力ノード間に接続されたNMOSは、論理動作の際に第1と第2の出力ノード間を導通させ、第1の発明のPMOSと同様の動作を行う。従って、前記課題を解決できるのである。

【0009】

【実施例】第1の実施例

図1は、本発明の第1の実施例を示す等価入力レベル論理回路の回路図である。この等価入力レベル論理回路は、n個の入力信号S₁₁～S_{1n}によってそれぞれゲート制御されるn個のPMOS 11-1～11-nと、該入力信号S₁₁～S_{1n}によってそれぞれゲート制御されるn個のNMOS 12-1～12-nとを、備えている。各PMOS 11-1～11-nのソースは第1の電源電位（例えば、V_{cc}）に接続され、そのドレインがNAND出力の第1の出力ノードN₁₁に接続されている。各NMOS 12-1～12-nのドレインはNOR出力の第2の出力ノードN₁₂に接続され、そのソースが第2の電源電位（例えば、V_{ss}）に接続されている。第1の出力ノードN₁₁にはPMOS 13のソースが接続され、そのドレイン及びゲートが第2の出力ノードN₁₂に接続されている。

【0010】図3は、図1の動作を説明するための2入力の論理回路であり、この図を参照しつつ動作を説明する。まず、入力信号S₁₁、S₁₂が“L”的とき、PMOS 11-1、11-2が共にオンし、NMOS 12-

-1、12-2が共にオフする。このとき、第1の出力ノードN₁₁は“H”、第2の出力ノードN₁₂は中間電位となるが、その出力ノードN₁₂がPMOS 13のゲートに接続されているので、該PMOS 13のスレッショルド電圧V_Tを下回って該PMOS 13がオン状態となる。よって、第2の出力ノードN₁₂は、V_{cc}-V_Tの“H”レベルを出力する。入力信号S₁₁、S₁₂が全て“H”的場合、PMOS 11-1、11-2が共にオフし、NMOS 12-1、12-2が共にオンする。このとき、第2の出力ノードN₁₂は“L”、第1の出力ノードN₁₁は中間電位となるが、PMOS 13のゲートが出力ノードN₁₂と接続されていて“L”であるので、該PMOS 13がオンする。よって、第1の出力ノードN₁₁から、“L”（=V_{ss}）が出力される。

【0011】入力信号S₁₁が“H”、入力信号S₁₂が“L”的場合、PMOS 11-1がオフ、PMOS 11-2がオン、NMOS 12-1がオン、NMOS 12-2がオフする。このとき、第1の出力ノードN₁₁は“H”、第2の出力ノードN₁₂は“L”となり、PMOS 13がオン状態となる。そのため、第1と第2の出力ノードN₁₁、N₁₂間に貫通電流が流れる。入力信号S₁₁が“L”、入力信号S₁₂が“H”的場合、前記の入力信号S₁₁が“H”、入力信号S₁₂が“L”的ときと同様に、第1の出力ノードN₁₁が“H”、第2の出力ノードN₁₂が“L”となり、第1と第2の出力ノードN₁₁、N₁₂間に貫通電流が流れる。

【0012】以上のように、第1の出力ノードN₁₁は、入力信号S₁₁、S₁₂が共に“H”的ときのみ“L”となるNAND出力を出し、第2の出力ノードN₁₂は入力信号S₁₁、S₁₂が共に“L”的ときのみ“H”となるNOR出力を出す。この第1の実施例では、次のような利点を有している。

【0013】(a) 入力信号S₁₁～S_{1n}でゲート制御されるPMOS 11-1～11-n及びNMOS 12-1～12-nをそれぞれ並列に接続したので、各入力信号S₁₁～S_{1n}間で遅延時間等の特性のばらつきが生ぜず、的確な論理動作が行える。しかも、少ない素子数の1個の論理回路で、NAND出力及びNOR出力の両方の論理出力を同時に得ることができる。

(b) 図1及び図3の回路の特性上、複数の入力信号S₁₁～S_{1n}が全て“L”または全て“H”的とき以外は第1と第2の出力ノードN₁₁、N₁₂間に貫通電流が流れる。そのため、本実施例の論理回路は、入力信号S₁₁～S_{1n}が定常状態で全て同一レベルのものに対して使用するのが、消費電力等の面から有効である。

(c) 図4は、図1の応用例を示す一致／不一致検出回路の回路図である。図1の回路で構成される論理回路20の第1、第2の出力ノードN₁₁、N₁₂を、2入力の排他的論理和（EXR）ゲート21に接続すること

5

により、入力信号 $S_{i1} \sim S_{in}$ が全て一致しているときには出力 OUT が “L”、不一致のときには出力 OUT が “H” となる。これにより、簡単に一致／不一致検出回路を構成することができる。

【0014】第2の実施例

図5は、本発明の第2の実施例を示す等価入力レベル論理回路の回路図であり、第1の実施例を示す図1中の要素と共に要素には共通の符号が付されている。この論理回路では、図1のPMOS 13に代えてNMOS 23を設け、そのNMOS 23のドレン及びゲートを第1の出力ノード N_{11} に接続すると共に、ソースを第2の出力ノード N_{12} に接続している。

【0015】この論理回路においても、第1の実施例と同様に、入力信号 $S_{i1} \sim S_{in}$ が全て “L” のときには、NMOS 23がオン状態となって第2の出力ノード N_{12} から “H” が出力される。入力信号 $S_{i1} \sim S_{in}$ が全て “H” のときには、NMOS 23がオフ状態となって第1の出力ノード N_{11} から “L” が出力される。入力信号 $S_{i1} \sim S_{in}$ が異なったレベルのときには、第1と第2の出力ノード N_{11} , N_{12} 間に貫通電流が流れ。従って、第1の実施例と同様に、入力信号 $S_{i1} \sim S_{in}$ 間の特性のばらつきのない、的確なAND出力及びNOR出力が得られる。

【0016】

【発明の効果】以上詳細に説明したように、第1及び第2の実施例によれば、入力信号でゲート制御されるn個

6

のPMOS及びn個のNMOSがそれぞれ並列に接続されているので、各入力信号間のばらつきのない、的確な論理動作が可能になる。しかも、素子数の少ない1個の論理回路で、必要に応じてNAND出力及びNOR出力の両方の論理出力を同時に得ることができる。従って、一致／不一致検出回路等といった種々の回路に適用できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す等価入力レベル論理回路の回路図である。

【図2】従来の論理回路の回路図である。

【図3】図1の動作を説明するための2入力の論理回路図である。

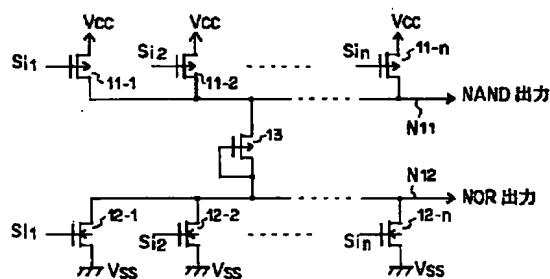
【図4】図1の応用例を示す一致／不一致検出回路の回路図である。

【図5】本発明の第2の実施例を示す等価入力レベル論理回路の回路図である。

【符号の説明】

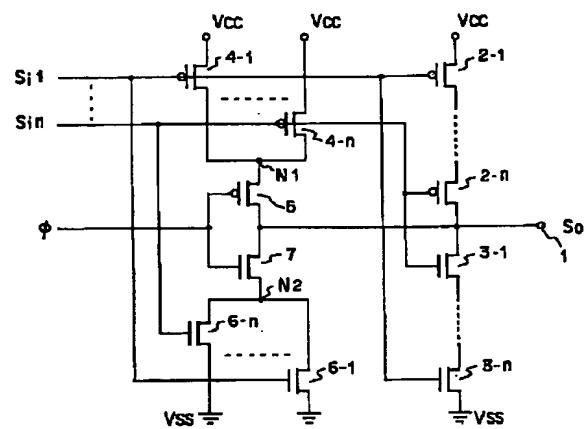
1 1 - 1 ~ 1 1 - n	PMOS
1 2 - 1 ~ 1 2 - n	NMOS
1 3	PMOS
2 3	NMOS
N_{11}, N_{12}	第1, 第2の出力ノード
$S_{i1} \sim S_{in}$	入力信号
Vss	接地電位
Vcc	電源電位

【図1】



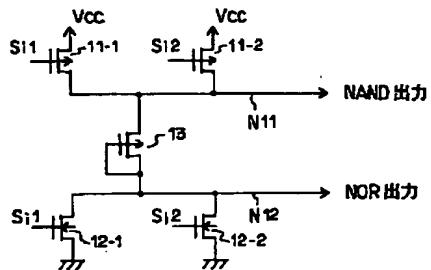
本発明の第1の実施例の論理回路

【図2】



従来の論理回路

【図3】



【図4】

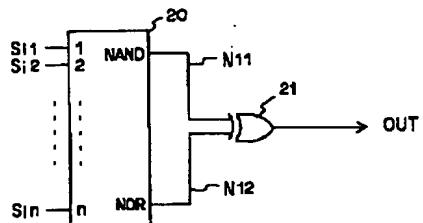
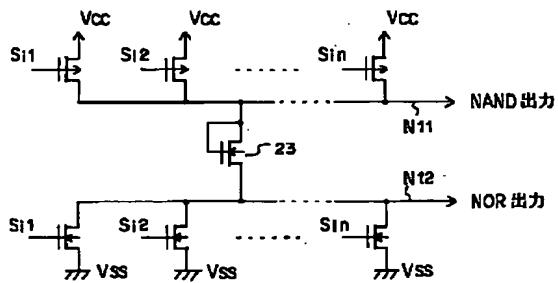


図1の応用例

図1の動作説明図

【図5】



本発明の第2の実施例の論理回路

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-343984
 (43)Date of publication of application : 24.12.1993

(51)Int.CI. H03K 19/20
 H03K 19/0948
 H03K 19/21

(21)Application number : 04-145187

(71)Applicant : OKI MICRO DESIGN MIYAZAKI:KK
 OKI ELECTRIC IND CO LTD

(22)Date of filing : 05.06.1992

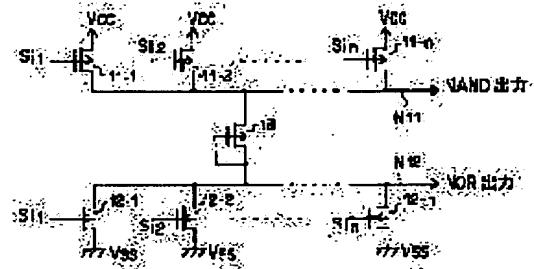
(72)Inventor : KUROKI RYUTA

(54) EQUIVALENT INPUT LEVEL LOGIC CIRCUIT

(57)Abstract:

PURPOSE: To obtain a logic circuit from which both of NOR and NAND logic outputs without dispersion among plural input signals without increasing number of components are obtained with one logic circuit.

CONSTITUTION: With input signals Si1-Sin all set to an L level, PMOS 11-1-11-n are turned on and NMOS 12-1-12-n are turned off. In this case, a PMOS 13 is turned on and an H level is outputted from an output node N12. With the input signals Si1-Sin all set to an H level, the PMOS 11-1-11-n are turned off and the NMOS 12-1-12-n are turned on. In this case, the PMOS 13 is turned on and an L level is outputted from an output node N11. Thus, with the input signals Si1-Sin all set to an H level, an L NAND output is obtained from the node N11 and with the input signals Si1-Sin all set to an L level, an H NOR output is obtained from the node N12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] n P channel mold MOS transistors in which parallel connection is carried out to the 1st power-source potential between the 1st output node, and a gate control is carried out by the input (however, n; 2 or more integers), n N channel mold MOS transistors in which parallel connection is carried out to the 2nd output node between the 2nd power-source potential, and a gate control is carried out by said input, The equivalence input-level logical circuit which consisted of P channel mold MOS transistors by which the source was connected to said 1st output node, and a drain and the gate were connected to said 2nd output node, respectively.

[Claim 2] n P channel mold MOS transistors in which parallel connection is carried out to the 1st power-source potential between the 1st output node, and a gate control is carried out by the input (however, n; 2 or more integers), n N channel mold MOS transistors in which parallel connection is carried out to the 2nd output node between the 2nd power-source potential, and a gate control is carried out by said input, The equivalence input-level logical circuit which consisted of N channel mold MOS transistors by which a drain and the gate were connected to said 1st output node, and the source was connected to said 2nd output node, respectively.

[Translation done.]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to not ands (NAND), such as a semiconductor integrated circuit, NOR (NOR), and an equivalence input-level logical circuit with the output of the both.

[0002]

[Description of the Prior Art] Conventionally, as this kind of a logical circuit, there were some which are indicated by JP,61-234623,A (reference 1), JP,1-147917,A (reference 2), etc., for example. Hereafter, the configuration is explained using drawing.

[0003] Drawing 2 is the circuit diagram of the conventional logical circuit indicated by said reference 2. Between the power-source potential Vcc and the output terminal 1 for output signals So, n P channel mold MOS transistors (henceforth PMOS) 2-1 - 2-n are connected to a serial, and, as for this logical circuit, n N channel mold MOS transistors (henceforth NMOS) 3-1 - 3-n are further connected to the serial between that output terminal 1 and touch-down potential Vss. n input signals Si1-Sin are inputted into the gate of each PMOS 2-1 - 2-n, and NMOS3-1 - 3-n, respectively. Between the power-source potential Vcc and a node N1, n PMOSes 4-1 - 4-n are connected to juxtaposition, and PMOS5 is further connected between the node N1 and output terminal 1. Between the touch-down potential Vss and a node N2, n NMOSes 6-1 - 6-n are connected to juxtaposition, and NMOS7 is further connected between the node N2 and output terminal 1. It has the composition that n input signals Si1-Sin are inputted into the gate of each PMOS 4-1 - 4-n, and NMOS6-1 - 6-n, respectively, and the change-over signal phi is further inputted into the gate of PMOS5 and NMOS7.

[0004] Next, actuation is explained. First, when the change-over signal phi is "L", PMOS5 turns on and NMOS7 turns off. If input signals Si1-Sin are "H" altogether at this time, while all of PMOS 4-1 - 4-n, and PMOS2-1 - 2-n turn off, all of NMOS 3-1 - 3-n turn on, and an output signal So is set to "L" (= Vss). Moreover, if one or more of input signals Si1-Sin are "L", while PMOS corresponding to the input signal of PMOS 4-1 - the 4-n "L" turns on, NMOS corresponding to the input signal of NMOS 3-1 - the 3-n "L" turns off, and an output signal So serves as "H" (= Vcc). Therefore, this logical circuit turns into a NAND circuit of n input, when the change-over signal phi is "L".

[0005] Next, when the change-over signal phi is "H", while PMOS5 turns off, NMOS7 turns on. Since all of PMOS 2-1 - 2-n turn on while all of NMOS 6-1 - 6-n, and NMOS3-1 - 3-n turn off if input signals Si1-Sin are "L" altogether at this time, an output signal So serves as "H". Moreover, since PMOS corresponding to the input signal of "H" of PMOS 2-1 - the 2-n turns off while NMOS corresponding to the input signal of "H" of NMOS 6-1 - the 6-n turns on if one or more of input signals Si1-Sin are "H", an output signal So is set to "L."

Therefore, this logical circuit turns into a NOR circuit of n input, when the change-over signal phi is "H". Thus, in the logical circuit of drawing 2, when the change-over signal phi is "L" and the change-over signal phi is "H" as a NAND circuit of n input, it operates as a NOR circuit of n input, respectively. Moreover, the logical circuit indicated by said reference 1 can also switch the logic of an output signal to NOR or NAND by changing the change-over signal phi to "L" or "H", although circuitry differs.

[0006]

[Problem(s) to be Solved by the Invention] However, in the conventional logical circuit, an output signal is either NOR logic or NAND logic, and was not able to output both logic simultaneously in one logical circuit. Moreover, like PMOS 2-1 - 2-n, and NMOS3-1 - 3-n, since there was a part to which the series connection of the transistor is carried out, dispersion in properties, such as a time delay, arose among each input signals [Si

and Sin_j 1 -, and there was a problem that the dependability of logic actuation fell on circuitry. This invention offers the equivalence input-level logical circuit solved about the point with it difficult [to obtain the fanout of both NOR and NAND in one logical circuit], and the point which dispersion produces between each input signal as a technical problem which said conventional technique had, without making an element number increase.

[0007]

[Means for Solving the Problem] In the equivalence input-level logical circuit which obtains the fanout of NOR and NAND in order that the 1st invention may solve said technical problem n PMOSes in which parallel connection is carried out to the 1st power-source potential between the 1st output node, and a gate control is carried out by the input (however, n; 2 or more integers), It constitutes from n NMOSes in which parallel connection is carried out to the 2nd output node between the 2nd power-source potential, and a gate control is carried out by said input, and a PMOS by which the source was connected to said 1st output node, and a drain and the gate were connected to said 2nd output node, respectively. In the 2nd invention, it replaced with PMOS connected with the 1st of the 1st invention between the 2nd output node, and NMOS by which a drain and the gate were connected to the 1st output node, and the source was connected to the 2nd output node, respectively is prepared.

[0008]

[Function] According to the 1st invention, since the equivalence input-level logical circuit was constituted as mentioned above, when all of n input signals are the same level, either a PMOS group or an NMOS group will be in an ON state, another side will be in an OFF state, between the 1st and 2nd output node flows through PMOS, and a NOR output comes out from a NAND output and another side from either of the 1st and 2nd output node. The PMOS group and NMOS group by which parallel connection was carried out, respectively prevent dispersion between input signals, and perform exact logic actuation. According to the 2nd invention, NMOS connected with the 1st between the 2nd output node makes it flow through between the 1st and 2nd output node in the case of logic actuation, and performs the same actuation as PMOS of the 1st invention. Therefore, said technical problem is solvable.

[0009]

[Example] The 1st example drawing 1 is the circuit diagram of an equivalence input-level logical circuit showing the 1st example of this invention. This equivalence input-level logical circuit is equipped with n PMOSes 11-1 by which a gate control is carried out with n input signals Si_1-Sin , respectively - 11-n, and n NMOSes 12-1 by which a gate control is carried out with these input signals Si_1-Sin , respectively - 12-n. The source of each PMOS 11-1 - 11-n is connected to the 1st power-source potential (for example, Vcc), and the drain is connected to the 1st output node N11 of a NAND output. The drain of each NMOS 12-1 - 12-n is connected to the 2nd output node N12 of a NOR output, and the source is connected to the 2nd power-source potential (for example, Vss). The source of PMOS13 is connected to the 1st output node N11, and the drain and gate are connected to the 2nd output node N12.

[0010] Drawing 3 is the logical circuit of 2 inputs for explaining actuation of drawing 1 , and it explains actuation, referring to this drawing. First, when input signals Si1 and Si2 are "L", both PMOS 11-1 and 11-2 turn on, and both NMOS 12-1 and 12-2 turn off. Although the 1st output node N11 serves as medium potential at this time, since that output node N12 is connected to the gate of PMOS13, "H" and the 2nd output node N12 are threshold voltage VT of this PMOS13. It will be less and this PMOS13 will be in an ON state. Therefore, the 2nd output node N12 is Vcc-VT. "H" level is outputted. When input signals Si1 and Si2 are "H" altogether, both PMOS 11-1 and 11-2 turn off, and both NMOS 12-1 and 12-2 turn on. Although the 2nd output node N12 serves as medium potential at this time, since "L" and the 1st output node N11 are "L", this PMOS13 turns them on by connecting the gate of PMOS13 with the output node N12. Therefore, "L" (= Vss) is outputted from the 1st output node N11.

[0011] When an input signal Si 1 is "H" and an input signal Si 2 is "L", OFF and PMOS 11-2 turn [PMOS 11-1] off, and ON and NMOS 12-2 turn [ON and NMOS 12-1] off. At this time, "H" and the 2nd output node N12 will be set to "L" by the 1st output node N11, and PMOS13 will be in an ON state. Therefore, a penetration current flows between the 1st and 2nd output node N [N11 and] 12. When an input signal Si 1 is "L" and an input signal Si 2 is "H", like the time of the aforementioned input signal Si 1 being "H", and an input signal Si 2 being "L", "H" and the 2nd output node N12 are set to "L" by the 1st output node N11, and a penetration current

flows between the 1st and 2nd output node N [N11 and] 12.

[0012] As mentioned above, the 1st output node N11 takes [both] out the NAND output used as "L", only when input signals Si1 and Si2 are "H", and the 2nd output node N12 takes [both] out the NOR output used as "H", only when input signals Si1 and Si2 are "L." In this 1st example, it has the following advantages.

[0013] (a) Since PMOS 11-1 by which a gate control is carried out with input signals Si1-Sin - 11-n, and NMOS12-1-12-2 were connected to juxtaposition, respectively, dispersion in properties, such as a time delay, does not arise among each input signals [Si and Sin] 1 -, but exact logic actuation can be performed. And the fanout of both a NAND output and a NOR output can be obtained simultaneously in few one logical circuit of an element number.

(b) On drawing 1 and the property of the circuit of drawing 3 , altogether, "L" or except when it is "H" altogether, a penetration current flows [two or more input signals Si1-Sin] between the 1st and 2nd output node N [N11 and] 12. Therefore, as for the logical circuit of this example, it is effective from fields, such as power consumption, that input signals Si1-Sin use all to the thing of the same level by the steady state.

(c) Drawing 4 is the circuit diagram of coincidence / inequality detector showing the application of drawing 1 . By connecting to the exclusive-OR (EXR) gate 21 of 2 inputs the 1st of the logical circuit 20 which consists of circuits of drawing 1 , and the 2nd output node N11 and N12, when input signals Si1-Sin are altogether in agreement and outputs OUT are "L" and an inequality, an output OUT serves as "H". Thereby, coincidence / inequality detector can be constituted easily.

[0014] The 2nd example drawing 5 is the circuit diagram of an equivalence input-level logical circuit showing the 2nd example of this invention, and the common sign is given to the element in drawing 1 which shows the 1st example, and the common element. In this logical circuit, while replacing with PMOS13 of drawing 1 , forming NMOS23 and connecting the drain and the gate of that NMOS23 to the 1st output node N11, the source is connected to the 2nd output node N12.

[0015] Also in this logical circuit, like the 1st example, when input signals Si1-Sin are "L" altogether, NMOS23 will be in an ON state and "H" is outputted from the 2nd output node N12. When input signals Si1-Sin are "H" altogether, NMOS23 will be in an ON state and "L" is outputted from the 1st output node N11. When it is the level from which input signals Si1-Sin differed, a penetration current flows between the 1st and 2nd output node N [N11 and] 12. Therefore, an exact NAND output without dispersion in the property between the input signals [Si and Sin] 1 - and a NOR output are obtained like the 1st example.

[0016]

[Effect of the Invention] Since n PMOSes and n NMOSes by which a gate control is carried out with an input signal are connected to juxtaposition, respectively according to invention of the 1st and 2nd ** as explained to the detail above, the exact logic actuation without dispersion between each input signal is attained. And the fanout of both a NAND output and a NOR output can be obtained simultaneously in one logical circuit with few element numbers if needed. Therefore, it is applicable to various circuits, such as coincidence / inequality detector.

[Translation done.]

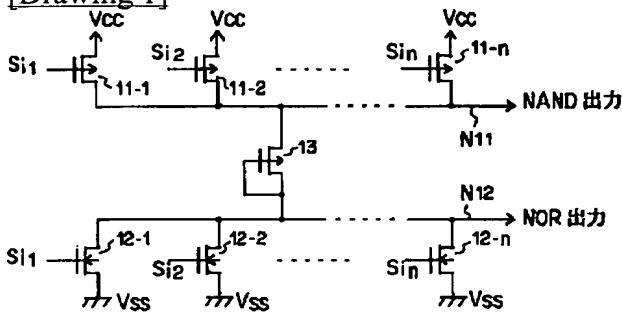
* NOTICES *

JPO and NCIPPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

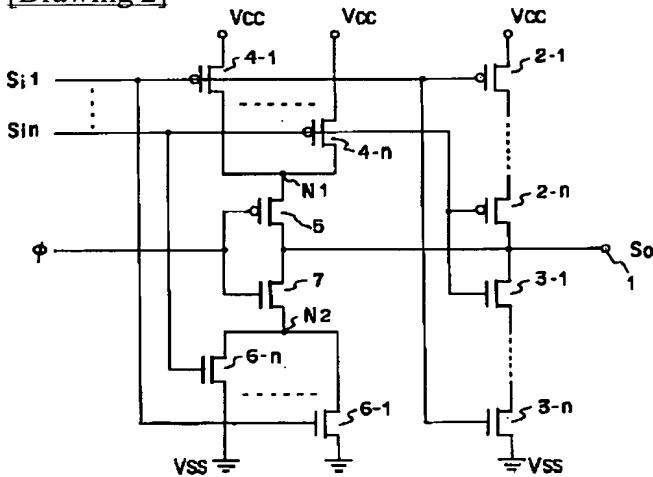
DRAWINGS

[Drawing 1]



本発明の第1の実施例の論理回路

[Drawing 2]



従来の論理回路

[Drawing 3]

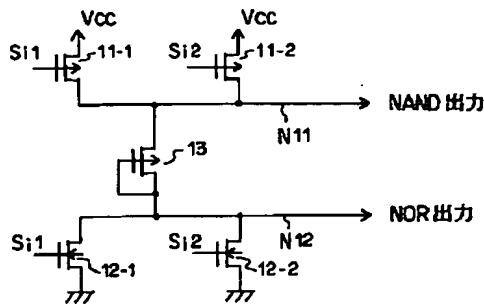


図1の動作説明図

[Drawing 4]

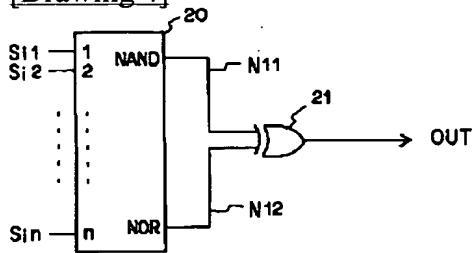
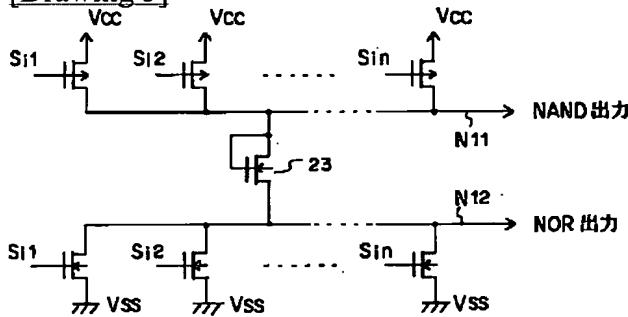


図1の応用例

[Drawing 5]



本発明の第2の実施例の論理回路

[Translation done.]